

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Aki URAKAMI et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: August 21, 2003)	Confirmation No.: Unassigned
)	
For: OUTPUT CIRCUIT OF)	
SEMICONDUCTOR DEVICE HAVING)	
ADJUSTABLE DRIVING CAPABILITY)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-109237
Filed: April 14, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 21, 2003

By:

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 4月14日

出 願 番 号
Application Number:

特願2003-109237

[ST.10/C]:

[JP2003-109237]

出 願 人
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045250

【書類名】 特許願

【整理番号】 542470JP01

【提出日】 平成15年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0175

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 浦上 有紀

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 中島 三智雄

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の出力回路

【特許請求の範囲】

【請求項 1】 内部信号を外部に出力する半導体装置の出力回路であって、それぞれ第 1 および第 2 の電源電位のラインと出力ノードとの間に接続され、それらの入力電極がともに前記内部信号を受ける第 1 の導電形式の第 1 のトランジスタおよび第 2 の導電形式の第 2 のトランジスタを含むインバータ、

前記第 1 の電源電位のラインと前記出力ノードとの間に直列接続された第 1 の導電形式の第 3 のトランジスタおよび第 1 の抵抗素子、および

ヒューズを含み、前記ヒューズがブローされていない場合は前記第 3 のトランジスタを非導通にし、前記ヒューズがブローされている場合は前記第 1 および第 3 のトランジスタの入力電極を接続し、前記出力回路の電流駆動能力を調整する調整回路を備える、半導体装置の出力回路。

【請求項 2】 さらに、前記第 2 の電源電位のラインと前記出力ノードとの間に直列接続された第 2 の導電形式の第 4 のトランジスタおよび第 2 の抵抗素子を備え、

前記調整回路は、さらに、前記ヒューズがブローされていない場合は前記第 4 のトランジスタを非導通にし、前記ヒューズがブローされている場合は前記第 2 および第 4 のトランジスタの入力電極を接続する、請求項 1 に記載の半導体装置の出力回路。

【請求項 3】 前記第 3 のトランジスタ、前記第 1 の抵抗素子および前記調整回路は複数組設けられ、

さらに、それぞれ前記第 1 および第 2 の電源電位のラインと出力ノードとの間に接続され、それらの入力電極がともにモニタ信号を受ける前記第 1 の導電形式の第 5 のトランジスタおよび前記第 2 の導電形式の第 6 のトランジスタを含み、ブローすべきヒューズの数进行判定するためのモニタ回路を備える、請求項 1 に記載の半導体装置の出力回路。

【請求項 4】 前記半導体装置は半導体基板上に形成され、前記調整回路は前記半導体基板上の隅に設けられている、請求項 1 から請求項

3 までのいずれかに記載の半導体装置の出力回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体装置の出力回路に関し、特に、内部信号を外部に出力する半導体装置の出力回路に関する。

【0 0 0 2】

【従来の技術】

複数の半導体装置を備えるシステムにおいて、半導体装置間のインタフェースの高速化が望まれている。たとえば、メモリの大容量化、高速化、小型化が求められる携帯電話市場においては、複数のフラッシュメモリやスタティックランダムアクセスメモリ（SRAM）などが混載される。この場合、半導体装置間のスイッチング時間を安定的に所望の値にすることが課題となる。

【0 0 0 3】

従来の半導体装置の出力回路では、CMOS（Complementary Metal-Oxide-Semiconductor）インバータを複数個並列に接続する構成が多く用いられている。この出力回路は所望の回路特性を持つように設計されるが、製造プロセスにおいてMOSトランジスタの特性にバラツキが生じるとスイッチング時間が所望の値にならないという問題があった。

【0 0 0 4】

この問題を解決するため、PチャネルMOSトランジスタに並列接続されたPMOS選択回路の複数のPチャネルMOSトランジスタの各ゲートと、NチャネルMOSトランジスタに並列接続されたNMOS選択回路の複数のNチャネルMOSトランジスタの各ゲートに、それぞれヒューズ部を設けたバッファ回路が提案されている。この場合、適宜ヒューズ部を切断して一部のPチャネルMOSトランジスタまたはNチャネルMOSトランジスタを切離すことにより、バッファ回路の回路特性を最適化できるようになる（たとえば、特許文献1参照）。

【0 0 0 5】

また、CMOS構造のインバータ回路を複数個並列に接続したバッファ回路に

において、少なくとも1つのインバータ回路のPチャネルMOSトランジスタおよびNチャネルMOSトランジスタに対して、その各MOSトランジスタに供給される電源を遮断する駆動回路を設け、駆動される各MOSトランジスタの数を適宜変更することによって、バッファ回路のしきい値を変更させるものもある（たとえば、特許文献2参照）。

【0006】

また、高負荷を駆動する駆動回路において、各ゲートにヒューズが接続されたPチャネルMOSトランジスタおよびNチャネルMOSトランジスタを含む複数の並列接続されたインバータを備え、必要に応じて各インバータに設けられたヒューズを切断することによって、駆動能力を調整するものもある（たとえば、特許文献3参照）。

【0007】

また、出力回路のトランジスタと等価なダミートランジスタを有するモニタ回路を用い、このダミートランジスタの電流値をモニタした結果に基づいて出力回路に設定信号を与えることによって、LSIデバイスの動作時に出力回路の出力特性を自動的に設定するものもある（たとえば、特許文献4参照）。

【0008】

【特許文献1】

特開平7-38408号公報（第10-12項、第2図）

【0009】

【特許文献2】

特開平5-152930号公報

【0010】

【特許文献3】

特開平5-308272号公報

【0011】

【特許文献4】

特開2000-357956号公報（第7-8項、第9-11図）

【0012】

【発明が解決しようとする課題】

この発明は、上記特許文献 1～4 に提案されている方法とは別の方法によって出力回路の回路特性の最適化を図ったものである。また、近年、半導体デバイスの微細化、高集積化による酸化膜の薄膜化等によりデバイス自体の静電気耐量が低下する傾向にあるため、静電気放電（ESD: Electro Static Discharge）対策を行なう必要がある。しかし、上記特許文献 1～4 で提案されている方法には、トランジスタの静電気放電対策に関する記述は見られない。

【0013】

それゆえに、この発明の主たる目的は、所望の回路特性を得ることができ、かつ静電気放電対策が可能な半導体装置の出力回路を提供することである。

【0014】

【課題を解決するための手段】

この発明に係る半導体装置の出力回路は、内部信号を外部に出力する半導体装置の出力回路であって、それぞれ第 1 および第 2 の電源電位のラインと出力ノードとの間に接続され、それらの入力電極がともに内部信号を受ける第 1 の導電形式の第 1 のトランジスタおよび第 2 の導電形式の第 2 のトランジスタを含むインバータと、第 1 の電源電位のラインと出力ノードとの間に直列接続された第 1 の導電形式の第 3 のトランジスタおよび第 1 の抵抗素子と、ヒューズを含み、ヒューズがブローされていない場合は第 3 のトランジスタを非導通にし、ヒューズがブローされている場合は第 1 および第 3 のトランジスタの入力電極を接続し、出力回路の電流駆動能力を調整する調整回路とを備えたものである。

【0015】

【発明の実施の形態】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 による半導体集積回路装置の要部の構成を示す図である。図 1 において、この半導体集積回路装置は、入力端子 1、6、内部回路 2、出力回路 9 および出力端子 5、8 を備える。出力回路 9 は、ヒューズラダー回路 3、出力バッファ回路 4 およびモニタ回路 7 を含む。

【0016】

内部回路 2 は、外部から複数の入力端子 1 を介して入力された複数の信号に従って所定の動作を行ない、複数の信号を生成してそれぞれ複数の出力バッファ回路 4 に与える。ヒューズラダー回路 3 は、外部からのリセット信号 RS に基づいて互いに相補なスイッチ信号 $\phi 1 \sim \phi n$, $\neg \phi 1 \sim \neg \phi n$ を生成する。出力バッファ回路 4 は、内部回路 2 の出力信号およびヒューズラダー回路 3 の出力スイッチ信号 $\phi 1 \sim \phi n$, $\neg \phi 1 \sim \neg \phi n$ を受け、スイッチ信号 $\phi 1 \sim \phi n$, $\neg \phi 1 \sim \neg \phi n$ に応じた電流駆動能力で内部回路 2 の出力信号を電流増幅して出力端子 5 に伝達する。モニタ回路 7 は、外部からのモニタ信号を入力端子 6 を介して受け、測定信号を出力端子 8 に出力する。

【 0 0 1 7 】

図 2 は、図 1 に示した出力バッファ回路 4 の構成を示す回路図である。図 2 において、この出力バッファ回路 4 は、バッファ回路 1 1、電位出力回路 1 2、1 3、補正回路 1 4 およびトランスファークロスタック 1 5、1 6、1 7、1 8 を備える。

【 0 0 1 8 】

バッファ回路 1 1 は、P チャネル MOS トランジスタ 1 9、2 1 および N チャネル MOS トランジスタ 2 0、2 2 を含む。P チャネル MOS トランジスタ 1 9 および N チャネル MOS トランジスタ 2 0 は、電源電位 VDD のラインと接地電位 GND のラインとの間に直列接続され、それらのゲートはともに内部回路 2 の出力信号を受ける。P チャネル MOS トランジスタ 2 1 および N チャネル MOS トランジスタ 2 2 は、電源電位 VDD のラインと接地電位 GND のラインとの間に直列接続され、それらのゲートはともに P チャネル MOS トランジスタ 1 9 と N チャネル MOS トランジスタ 2 0 との間の出力ノード N 1 1 に接続される。

【 0 0 1 9 】

内部回路 2 の出力信号が「H」レベルの場合、P チャネル MOS トランジスタ 1 9 は非導通になり、N チャネル MOS トランジスタ 2 0 は導通して出力ノード N 1 1 は「L」レベルにされる。これに応じて、P チャネル MOS トランジスタ 2 1 は導通し、N チャネル MOS トランジスタ 2 2 は非導通になって出力ノード N 1 2 は「H」レベルにされる。一方、内部回路 2 の出力信号が「L」レベルの

場合、PチャネルMOSトランジスタ19は導通し、NチャネルMOSトランジスタ20は非導通になって出力ノードN11は「H」レベルにされる。これに応じて、PチャネルMOSトランジスタ21は非導通になり、NチャネルMOSトランジスタ22は導通して出力ノードN12は「L」レベルにされる。バッファ回路11は、内部回路2の出力信号を電流増幅する。

【0020】

電位出力回路12は、PチャネルMOSトランジスタ23およびNチャネルMOSトランジスタ24を含む。PチャネルMOSトランジスタ23およびNチャネルMOSトランジスタ24は、電源電位VDDのラインと接地電位GNDのラインとの間に直列接続され、それらのゲートはともに接地電位GNDのラインに接続される。

【0021】

PチャネルMOSトランジスタ23は、そのゲートが「L」レベル（接地電位GND）の電位を受けて導通し、NチャネルMOSトランジスタ24は、そのゲートが「L」レベル（接地電位GND）の電位を受けて非導通になる。このため、出力ノードN13の電位は「H」レベルにされる。

【0022】

電位出力回路13は、PチャネルMOSトランジスタ25およびNチャネルMOSトランジスタ26を含む。PチャネルMOSトランジスタ25およびNチャネルMOSトランジスタ26は、電源電位VDDのラインと接地電位GNDのラインとの間に直列接続され、それらのゲートはともに電源電位VDDのラインに接続される。

【0023】

PチャネルMOSトランジスタ25は、そのゲートが「H」レベル（電源電位VDD）の電位を受けて非導通になり、NチャネルMOSトランジスタ26は、そのゲートが「H」レベル（電源電位VDD）の電位を受けて導通する。このため、出力ノードN14の電位は「L」レベルにされる。

【0024】

トランスファークゲート15. 1～15. nは、それぞれ出力ノードN13とノ

ードN15. 1～N15. nとの間に接続される。トランスファークゲート16. 1～16. nは、それぞれ出力ノードN11とノードN15. 1～N15. nとの間に接続される。トランスファークゲート17. 1～17. nは、それぞれ出力ノードN11とノードN16. 1～N16. nとの間に接続される。トランスファークゲート18. 1～18. nは、それぞれ出力ノードN14とノードN16. 1～N16. nとの間に接続される。トランスファークゲート15. 1～15. n, 18. 1～18. nのPチャネルMOSトランジスタ側のゲートはそれぞれヒューズラダー回路3の出力スイッチ信号 $\phi 1 \sim \phi n$ を受け、それらのNチャネルMOSトランジスタ側のゲートはそれぞれヒューズラダー回路3の出力スイッチ信号 $\phi 1 \sim \phi n$ を受ける。トランスファークゲート16. 1～16. n, 17. 1～17. nのPチャネルMOSトランジスタ側のゲートはそれぞれヒューズラダー回路3の出力スイッチ信号 $\phi 1 \sim \phi n$ を受け、それらのNチャネルMOSトランジスタ側のゲートはそれぞれヒューズラダー回路3の出力スイッチ信号 $\phi 1 \sim \phi n$ を受ける。

【0025】

スイッチ信号 $\phi 1 \sim \phi n$ が「L」レベル、スイッチ信号 $\phi 1 \sim \phi n$ が「H」レベルの場合、トランスファークゲート15. 1～15. n, 18. 1～18. nは導通し、トランスファークゲート16. 1～16. n, 17. 1～17. nは非導通になる。このため、ノードN15. 1～N15. nはノードN13と同じ「H」レベルにされ、ノードN16. 1～N16. nはノードN14と同じ「L」レベルにされる。

【0026】

スイッチ信号 $\phi 1 \sim \phi n$ が「H」レベル、スイッチ信号 $\phi 1 \sim \phi n$ が「L」レベルの場合、トランスファークゲート15. 1～15. n, 18. 1～18. nは非導通になり、トランスファークゲート16. 1～16. n, 17. 1～17. nは導通する。このため、ノードN15. 1～N15. n, N16. 1～N16. nは出力ノードN11と同じ信号レベルにされる。

【0027】

補正回路14は、PチャネルMOSトランジスタ27. 1～27. n、Nチャ

ネルMOSトランジスタ28. 1~28. nおよび抵抗素子29. 1~29. n, 30. 1~30. nを含む。PチャネルMOSトランジスタ27. 1~27. nのソースはそれぞれ電源電位VDDのラインに接続され、それらのドレインはそれぞれ抵抗素子29. 1~29. nを介して出力ノードN12に接続され、PチャネルMOSトランジスタ27. 1~27. nのゲートはそれぞれノードN15. 1~N15. nに接続される。抵抗素子30. 1~30. nの一方電極はそれぞれとも出力ノードN12に接続され、それらの他方電極はそれぞれNチャネルMOSトランジスタ28. 1~28. nを介して接地電位GNDのラインに接続され、NチャネルMOSトランジスタ28. 1~28. nのゲートはそれぞれノードN16. 1~N16. nに接続される。

【0028】

スイッチ信号 $\phi 1 \sim \phi n$ が「L」レベル、スイッチ信号 $\phi 1 \sim \phi n$ が「H」レベルの場合、ノードN15. 1~N15. nは「H」レベルにされ、ノードN16. 1~N16. nは「L」レベルにされる。これに応じて、PチャネルMOSトランジスタ27. 1~27. nおよびNチャネルMOSトランジスタ28. 1~28. nは非導通になるため、出力バッファ回路4はバッファ回路11のみで構成される回路と等価になる。

【0029】

スイッチ信号 $\phi 1 \sim \phi n$ が「H」レベル、スイッチ信号 $\phi 1 \sim \phi n$ が「L」レベルの場合、ノードN15. 1~N15. n, N16. 1~N16. nはとも出力ノードN11と同じ信号レベルにされる。出力ノードN11が「L」レベルの場合、PチャネルMOSトランジスタ27. 1~27. nは導通し、NチャネルMOSトランジスタ28. 1~28. nは非導通になるため、出力ノードN12は「H」レベルにされる。一方、出力ノードN11が「H」レベルの場合、PチャネルMOSトランジスタ27. 1~27. nは非導通になり、NチャネルMOSトランジスタ28. 1~28. nは導通するため、出力ノードN12は「L」レベルにされる。したがって、スイッチ信号 $\phi 1 \sim \phi n$, $\phi 1 \sim \phi n$ の各々を「H」レベルにするか「L」レベルにするかによって、出力バッファ回路4の電流駆動能力を調整することができる。なお、PチャネルMOSトランジ

スタ 2 7. 1 ~ 2 7. n および N チャンネル MOS トランジスタ 2 8. 1 ~ 2 8. n はサイズの小さな MOS トランジスタとすることによって、小型の出力バッファ回路 4 が実現でき、また出力バッファ回路 4 の電流駆動能力の微調整が可能になる。

【 0 0 3 0 】

P チャンネル MOS トランジスタ 2 7. 1 ~ 2 7. n および N チャンネル MOS トランジスタ 2 8. 1 ~ 2 8. n はサイズが小さいため、出力ノード N 1 2 に静電気放電によるサージ電圧が加わると破壊されてしまうことがある。しかし、抵抗素子 2 9. 1 ~ 2 9. n をそれぞれ P チャンネル MOS トランジスタ 2 7. 1 ~ 2 7. n のドレインと出力ノード N 1 2 との間に設け、抵抗素子 3 0. 1 ~ 3 0. n をそれぞれ N チャンネル MOS トランジスタ 2 8. 1 ~ 2 8. n のドレインと出力ノード N 1 2 との間に設けたことによって、P チャンネル MOS トランジスタ 2 7. 1 ~ 2 7. n および N チャンネル MOS トランジスタ 2 8. 1 ~ 2 8. n が受けるサージ電圧の影響を少なくし、P チャンネル MOS トランジスタ 2 7. 1 ~ 2 7. n および N チャンネル MOS トランジスタ 2 8. 1 ~ 2 8. n が破壊されるのを防止する。

【 0 0 3 1 】

図 3 は、図 1 に示したヒューズラダー回路 3 の構成を示す回路図である。図 3 において、このヒューズラダー回路 3 は、波形生成回路 3 1、P チャンネル MOS トランジスタ 3 2. 1 ~ 3 2. n、N チャンネル MOS トランジスタ 3 3. 1 ~ 3 3. n、トランスファークラップ 3 4. 1 ~ 3 4. n、インバータ 3 5. 1 ~ 3 5. n、3 6. 1 ~ 3 6. n、3 7. 1 ~ 3 7. n、3 8. 1 ~ 3 8. n およびヒューズ 3 9. 1 ~ 3 9. n を含む。

【 0 0 3 2 】

波形生成回路 3 1 は、外部からのリセット信号 RS を受け、信号 A および互いに相補なスイッチ信号 B、 $\neg B$ を生成する。P チャンネル MOS トランジスタ 3 2. 1 ~ 3 2. n は、それぞれ電源電位 VDD のラインと出力ノード N 3 1. 1 ~ N 3 1. n との間に接続され、それらのゲートはともに波形生成回路 3 1 の出力信号 A を受ける。N チャンネル MOS トランジスタ 3 3. 1 ~ 3 3. n のドレイン

はそれぞれ出力ノードN 3 1. 1 ~ N 3 1. nに接続され、それらのソースはそれぞれヒューズ3 9. 1 ~ 3 9. nを介して接地電位のラインに接続され、NチャンネルMOSトランジスタ3 3. 1 ~ 3 3. nのゲートはともに波形生成回路3 1の出力信号Aを受ける。トランスファークゲート3 4. 1 ~ 3 4. nは、それぞれ出力ノードN 3 1. 1 ~ N 3 1. nとノードN 3 2. 1 ~ N 3 2. nとの間に接続される。トランスファークゲート3 4. 1 ~ 3 4. nのPチャンネルMOSトランジスタ側のゲートはそれぞれ波形生成回路3 1の出力スイッチ信号/Bを受け、それらのNチャンネルMOSトランジスタ側のゲートはそれぞれ波形生成回路3 1の出力スイッチ信号Bを受ける。インバータ3 5. 1 ~ 3 5. nはそれぞれノードN 3 2. 1 ~ N 3 2. nとノードN 3 3. 1 ~ N 3 3. nとの間に接続され、インバータ3 6. 1 ~ 3 6. nはそれぞれノードN 3 3. 1 ~ N 3 3. nとノードN 3 2. 1 ~ N 3 2. nとの間に接続され、これらはラッチ回路を構成している。インバータ3 7. 1 ~ 3 7. nは、それぞれノードN 3 3. 1 ~ N 3 3. nからの信号を受けて、スイッチ信号 ϕ 1 ~ ϕ nを出力するとともに、インバータ3 8. 1 ~ 3 8. nに接続される。インバータ3 8. 1 ~ 3 8. nはスイッチ信号/ ϕ 1 ~ / ϕ nを出力する。

【0 0 3 3】

図4は、ヒューズラダー回路3の動作を説明するためのタイミングチャートである。時刻t 1においてリセット信号RSが「H」レベルに立上げられたことに応じて、時刻t 2に波形生成回路3 1の出力信号Aが「H」レベルに立上げられる。このとき、トランスファークゲート3 4. 1 ~ 3 4. nは、「L」レベルのスイッチ信号/Bおよび「H」レベルのスイッチ信号Bを受けて導通しているため、ノードN 3 2. 1 ~ N 3 2. nは出力ノードN 3 1. 1 ~ N 3 1. nの信号をそのまま受ける。

【0 0 3 4】

ヒューズ3 9. 1 ~ 3 9. nがブロー（切断）されていない場合、時刻t 2に信号Aが「H」レベルに立上げられたことに応じて、PチャンネルMOSトランジスタ3 2. 1 ~ 3 2. nは非導通になり、NチャンネルMOSトランジスタ3 3. 1 ~ 3 3. nは導通する。このとき、ノードN 3 2. 1 ~ N 3 2. nの信号Cは

「H」レベルから徐々に「L」レベルに下げられる。信号Cの信号レベルがインバータ35. 1～35. nのしきい値よりも低くなったことに応じて、時刻t₃にスイッチ信号φ₁～φ_nが「L」レベルに立下げられる。また、時刻t₁においてリセット信号RSが「H」レベルに立上げられたことに応じて、時刻t₄にスイッチ信号/Bが「H」レベルに立上げられ、スイッチ信号Bが「L」レベルに立下げられる。これに応じて、トランスファークゲート34. 1～34. nが非導通になるため、出力ノードN31. 1～N31. nとノードN32. 1～N32. nとがそれぞれ電氣的に切離される。このとき、「L」レベルの信号Cは、インバータ35. 1～35. n, 36. 1～36. nで構成されるラッチ回路によってラッチされているため、レベルが不安定になるのが防止される。時刻t₅に信号Aが「L」レベルに立下げられたことに応じて、PチャネルMOSトランジスタ32. 1～32. nは導通し、NチャネルMOSトランジスタ33. 1～33. nは非導通になる。このとき、ノードN31. 1～N31. nは「H」レベルに立上げられるが、トランスファークゲート34. 1～34. nが非導通になっているため、信号Cおよびスイッチ信号φ₁～φ_nはともに「L」レベルのまま変わらない。

【0035】

ヒューズ39. 1～39. nがブローされている場合、時刻t₂に「H」レベルに立上げられた信号Aに応じてPチャネルMOSトランジスタ32. 1～32. nは非導通になり、NチャネルMOSトランジスタ33. 1～33. nは導通する。しかし、ブローされたヒューズ39. 1～39. nによって、NチャネルMOSトランジスタ33. 1～33. nと接地電位GNDのラインとがそれぞれ電氣的に切離されているため、信号Cおよびスイッチ信号φ₁～φ_nは常時「H」レベルのままにされる。

【0036】

図5は、ヒューズラダー回路3の配置を説明するための半導体集積回路装置のレイアウト図である。図5において、この半導体集積回路装置は、半導体チップ41上の内部回路領域42、入出力回路領域43～46およびヒューズラダー回路領域47に配置される。

【 0 0 3 7 】

内部回路領域 4 2 は半導体チップ 4 1 上の中央部に配置され、入出力回路領域 4 3 ~ 4 6 はそれぞれ内部回路領域 4 2 の 4 辺の外側に配置される。ヒューズラダー回路領域 4 7 は、半導体チップ 4 1 上の左下の隅に配置される。

【 0 0 3 8 】

内部回路領域 4 2 には、図 1 に示した内部回路 2 が配置される。入出力回路領域 4 3 ~ 4 6 には、出力バッファ回路 4 が配置される。ヒューズラダー回路領域 4 7 には、ヒューズラダー回路 3 が配置される。モニタ回路 7 は、入出力回路領域 4 3 ~ 4 6 またはヒューズラダー回路領域 4 7 など、半導体チップ 4 1 上の任意の場所に配置される。

【 0 0 3 9 】

なお、ヒューズラダー回路領域 4 7 は、半導体チップ 4 1 上の 4 隅のどこに配置してもよい。このように、ヒューズラダー回路領域 4 7 を半導体チップ 4 1 上の隅に配置することによって、より小型の半導体集積回路装置が実現できる。

【 0 0 4 0 】

図 6 は、図 1 に示したモニタ回路 7 の構成を示す回路図である。このモニタ回路 7 は、図 3 に示したヒューズラダー回路 3 のヒューズ 3 9 . 1 ~ 3 9 . n のうち、ブローするヒューズの数进行判定するために用いられる。図 6 において、モニタ回路 7 はサイズの小さな P チャネル MOS トランジスタ 5 1 および N チャネル MOS トランジスタ 5 2 を含む。

【 0 0 4 1 】

P チャネル MOS トランジスタ 5 1 および N チャネル MOS トランジスタ 5 2 は、電源電位 VDD のラインと接地電位 GND のラインとの間に直列接続され、それらのゲートはともに入力端子 6 に接続される。P チャネル MOS トランジスタ 5 1 と N チャネル MOS トランジスタ 5 2 との間の出力ノードは出力端子 8 に接続される。

【 0 0 4 2 】

外部から入力端子 6 に入力されたモニタ信号が「H」レベルの場合、P チャネル MOS トランジスタ 5 1 は非導通になり、N チャネル MOS トランジスタ 5 2

は導通して出力端子 8 は「L」レベルにされる。一方、モニタ信号が「L」レベルの場合、PチャネルMOSトランジスタ 5 1 は導通し、NチャネルMOSトランジスタ 5 2 は非導通になって出力端子 8 は「H」レベルにされる。

【 0 0 4 3 】

出力端子 8 からの測定信号は、半導体チップの出荷テスト時にテスト装置によって測定される。テスト装置は、測定信号の電流値を用いてプログラムによる演算処理を行ない、ブローするヒューズの数进行判定する。ブローすると判定されたヒューズは、レーザトリミングなどによってブローされる。

【 0 0 4 4 】

大規模な半導体チップの出荷テスト時に、テスト装置のプロープ（針）でその出力信号を測定すると、先端が非常に細いプロープに大電流が流れるためプロープの先端が熱酸化されやすい。しかし、出力バッファ回路 4 の出力信号を測定する代わりに、小さな電流値を有するモニタ回路 7 からの測定信号を測定することによって、プロープの熱酸化が軽減され、プロープの長寿命化が図られる。

【 0 0 4 5 】

次に、この半導体集積回路装置の出力回路 9 の動作について説明する。テスト装置によってモニタ回路 7 からの測定信号を測定した結果に基づいて、ヒューズラダー回路 3 の 2 個のヒューズ 3 9. 1, 3 9. 2 がブローされた場合について説明する。このとき、ヒューズラダー回路 3 の出力スイッチ信号 $\phi 1$, $\phi 2$, $\phi 3 \sim \phi n$ は「H」レベル、スイッチ信号 $\phi 1$, $\phi 2$, $\phi 3 \sim \phi n$ は「L」レベルにされる。これに応じて、トランスファージェート 1 5. 1, 1 5. 2, 1 6. 3 \sim 1 6. n, 1 7. 3 \sim 1 7. n, 1 8. 1, 1 8. 2 は非導通になり、トランスファージェート 1 5. 3 \sim 1 5. n, 1 6. 1, 1 6. 2, 1 7. 1, 1 7. 2, 1 8. 3 \sim 1 8. n は導通する。

【 0 0 4 6 】

図 7 は、この場合の出力バッファ回路 4 の構成を示す等価回路図である。図 7 において、内部回路 2 の出力信号が「H」レベルの場合、PチャネルMOSトランジスタ 1 9 が非導通になり、NチャネルMOSトランジスタ 2 0 が導通して出力ノード N 1 1 は「L」レベルにされる。これに応じて、PチャネルMOSトラ

ンジスタ 2 1 が導通し、NチャネルMOSトランジスタ 2 2 が非導通になって出力ノードN 1 2 は「H」レベルにされる。また、「L」レベルの出力ノードN 1 1 に応じて、PチャネルMOSトランジスタ 2 7. 1, 2 7. 2 は導通し、NチャネルMOSトランジスタ 2 8. 1, 2 8. 2 は非導通になって出力ノードN 1 2 は「H」レベルにされる。

【0 0 4 7】

内部回路 2 の出力信号が「L」レベルの場合、PチャネルMOSトランジスタ 1 9 が導通し、NチャネルMOSトランジスタ 2 0 が非導通になって出力ノードN 1 1 は「H」レベルにされる。これに応じて、PチャネルMOSトランジスタ 2 1 が非導通になり、NチャネルMOSトランジスタ 2 2 が導通して出力ノードN 1 2 は「L」レベルにされる。また、「H」レベルの出力ノードN 1 1 に応じて、PチャネルMOSトランジスタ 2 7. 1, 2 7. 2 は非導通になり、NチャネルMOSトランジスタ 2 8. 1, 2 8. 2 は導通して出力ノードN 1 2 は「L」レベルにされる。この場合、補正回路 1 4 を設けたことによって、出力バッファ回路 4 の電流駆動能力はバッファ回路 1 1 の電流駆動能力よりも大きくなる。

【0 0 4 8】

なお、ここではブローするヒューズが 2 個の場合について説明したが、ブローするヒューズの数を変更することによって、出力バッファ回路 4 の電流駆動能力を任意に調整することができる。

【0 0 4 9】

また、出力バッファ回路 4 の電流駆動能力の調整精度を高めるためには、補正回路 1 4 のPチャネルMOSトランジスタ 2 7. 1 ~ 2 7. n およびNチャネルMOSトランジスタ 2 8. 1 ~ 2 8. n のサイズをさらに小さくすればよい。電流駆動能力の調整幅を広げるためには、PチャネルMOSトランジスタ 2 7. 1 ~ 2 7. n、NチャネルMOSトランジスタ 2 8. 1 ~ 2 8. n およびこれらに接続するトランスファークラップ 1 5. 1 ~ 1 5. n, 1 6. 1 ~ 1 6. n, 1 7. 1 ~ 1 7. n, 1 8. 1 ~ 1 8. n の数をさらに増やせばよい。

【0 0 5 0】

図 8 は、出力バッファ回路 4 のスイッチング時間 t_{pd} と、出力負荷 C_L およ

び電流駆動能力との関係を示す図である。図 8 において、出力バッファ回路 4 のスイッチング時間 t_{pd} は、出力負荷 C_L が大きいほど長くなり、また電流駆動能力が小さいほど長くなる。従来の半導体集積回路装置の出力回路では、製造された MOS トランジスタの特性にバラツキがあるとその影響を受けやすく、電流駆動能力にバラツキが生じるため、スイッチング時間 t_{pd} が所望の値にならないことがあった。

【0051】

しかし、この実施の形態 1 では、製造プロセスにおける MOS トランジスタの特性のバラツキに対応してブローするヒューズの数を変更することによって、出力バッファ回路 4 の電流駆動能力を調整することができる。これにより、所望の回路特性が得られる。さらに、補正回路 14 に抵抗素子 29.1 ~ 29.n および 30.1 ~ 30.n を設けたことによって、静電気放電対策が可能となる。

【0052】

〔実施の形態 2〕

図 9 は、この発明の実施の形態 2 による半導体集積回路装置の出力バッファ回路 61 の構成を示す回路図であって、図 2 と対比される図である。図 9 参照して、この出力バッファ回路 61 が図 2 の出力バッファ回路 4 と異なる点は、トランスファークラーク 15.1 ~ 15.n, 16.1 ~ 16.n の入力スイッチ信号 $\phi_1 \sim \phi_n$, $\phi_1 \sim \phi_n$ が $\phi_{P1} \sim \phi_{Pn}$, $\phi_{P1} \sim \phi_{Pn}$ で置換され、トランスファークラーク 17.1 ~ 17.n, 18.1 ~ 18.n の入力スイッチ信号 $\phi_1 \sim \phi_n$, $\phi_1 \sim \phi_n$ が $\phi_{N1} \sim \phi_{Nn}$, $\phi_{N1} \sim \phi_{Nn}$ で置換されている点である。

【0053】

図 10 は、図 9 に示した出力バッファ回路 61 に用いられるヒューズラダー回路 71, 72 の概略構成を示すブロック図である。図 10 において、ヒューズラダー回路 71 は、外部からのリセット信号 RS に基づいて互いに相補なスイッチ信号 $\phi_{N1} \sim \phi_{Nn}$, $\phi_{N1} \sim \phi_{Nn}$ を生成する。ヒューズラダー回路 72 は、外部からのリセット信号 RS に基づいて互いに相補なスイッチ信号 $\phi_{P1} \sim \phi_{Pn}$, $\phi_{P1} \sim \phi_{Pn}$ を生成する。なお、このヒューズラダー回路 71,

72の回路構成は、図3に示したヒューズラダー回路3の回路構成と同じである。

【0054】

したがって、この実施の形態2では、出力バッファ回路61に対してヒューズラダー回路を2つ設けることによって、補正回路14のPチャネルMOSトランジスタ27.1～27.nおよびNチャネルMOSトランジスタ28.1～28.nを個別に導通／非導通にすることができる。このため、製造プロセスにおけるPチャネルMOSトランジスタおよびNチャネルMOSトランジスタの特性のバラツキに個別に対応することによって、出力バッファ回路61の電流駆動能力の微調整ができる。

【0055】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0056】

【発明の効果】

以上のように、この発明に係る半導体集積回路装置の出力回路では、それぞれ第1および第2の電源電位のラインと出力ノードとの間に接続され、それらの入力電極がともに内部信号を受ける第1の導電形式の第1のトランジスタおよび第2の導電形式の第2のトランジスタを含むインバータと、第1の電源電位のラインと出力ノードとの間に直列接続された第1の導電形式の第3のトランジスタおよび第1の抵抗素子と、ヒューズを含み、ヒューズがブローされていない場合は第3のトランジスタを非導通にし、ヒューズがブローされている場合は第1および第3のトランジスタの入力電極を接続し、出力回路の電流駆動能力を調整する調整回路とが設けられる。したがって、製造プロセスにおけるMOSトランジスタの特性のバラツキを調整回路で補正することによって、所望の回路特性が得られる。また、第3のトランジスタのドレインと出力ノードとの間に抵抗素子を設けたことによって、静電気放電対策が可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体集積回路装置の要部の構成を示す図である。

【図 2】 図 1 に示した出力バッファ回路の構成を示す回路図である。

【図 3】 図 1 に示したヒューズラダー回路の構成を示す回路図である。

【図 4】 図 3 に示したヒューズラダー回路の動作を説明するためのタイミングチャートである。

【図 5】 図 3 に示したヒューズラダー回路の配置を説明するための半導体集積回路装置のレイアウト図である。

【図 6】 図 1 に示したモニタ回路の構成を示す回路図である。

【図 7】 図 1 に示した出力回路 9 の動作を説明するための等価回路図である。

【図 8】 図 2 に示した出力バッファ回路のスイッチング時間 $t_{p,d}$ と、出力負荷 C_L および電流駆動能力との関係を示す図である。

【図 9】 この発明の実施の形態 2 による半導体集積回路装置の出力バッファ回路の構成を示す回路図である。

【図 10】 図 9 に示した出力バッファ回路に用いられるヒューズラダー回路の概略構成を示すブロック図である。

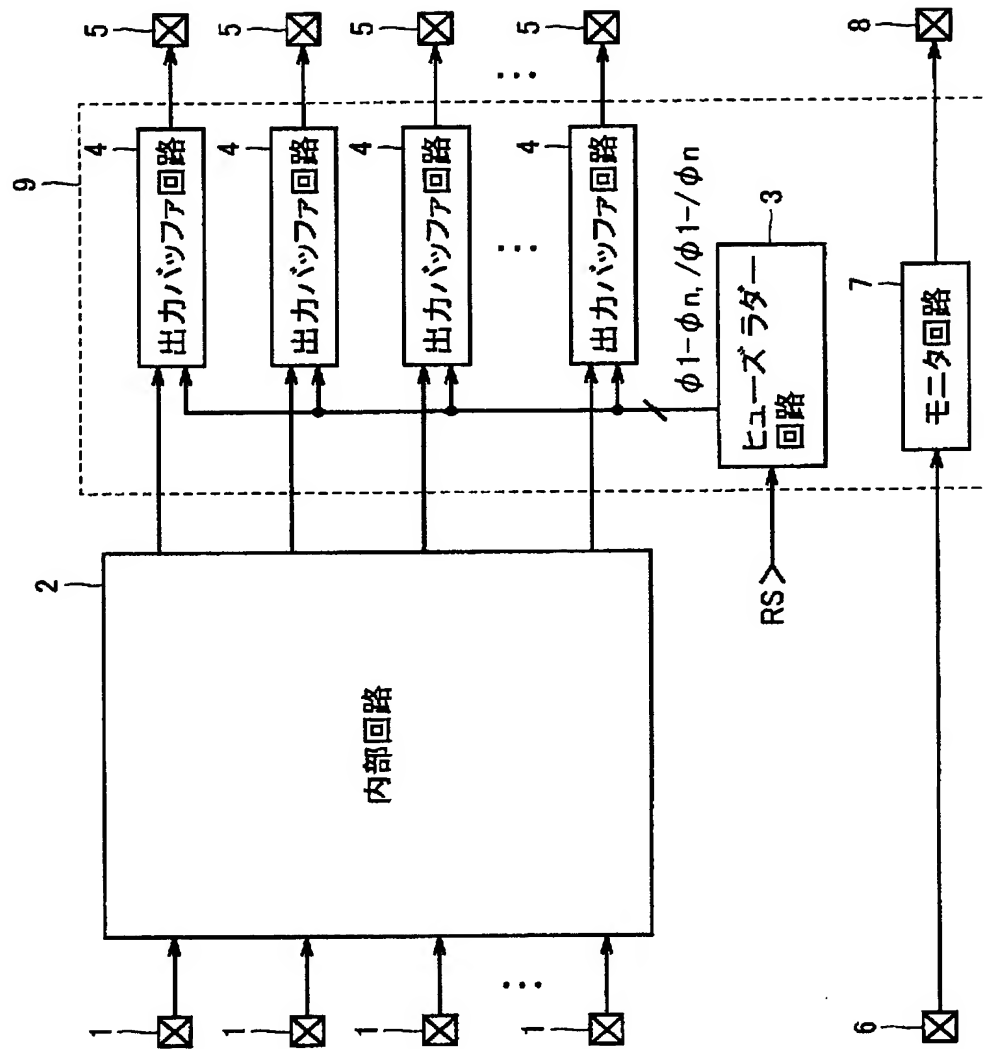
【符号の説明】

1, 6 入力端子、2 内部回路、3, 7 1, 7 2 ヒューズラダー回路、4, 6 1 出力バッファ回路、5, 8 出力端子、7 モニタ回路、9 出力回路、11 バッファ回路、12, 13 電位出力回路、14 補正回路、15. 1 ~ 15. n, 16. 1 ~ 16. n, 17. 1 ~ 17. n, 18. 1 ~ 18. n, 34. 1 ~ 34. n トランスファークロスタック、19, 21, 23, 25, 27. 1 ~ 27. n, 32. 1 ~ 32. n、51 PチャネルMOSトランジスタ、20, 22, 24, 26, 28. 1 ~ 28. n, 33. 1 ~ 33. n, 52 NチャネルMOSトランジスタ、29. 1 ~ 29. n, 30. 1 ~ 30. n 抵抗素子、31 波形生成回路、35. 1 ~ 35. n, 36. 1 ~ 36. n, 37. 1 ~ 37. n, 38. 1 ~ 38. n インバータ、39. 1 ~ 39. n ヒューズ

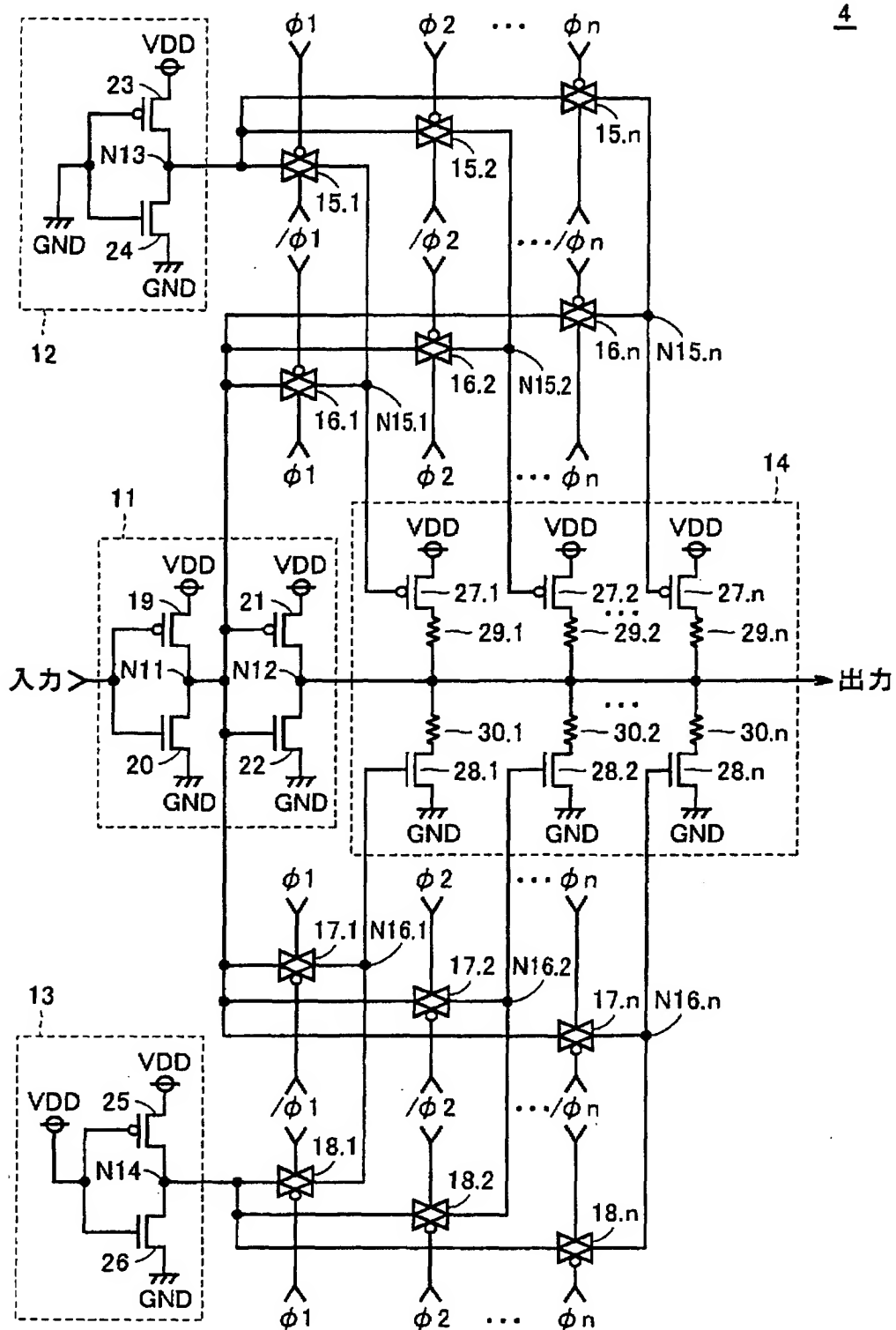
、 4 1 半導体チップ、 4 2 内部回路領域、 4 3 ～ 4 6 入出力回路領域、 4
7 ヒューズラダー回路領域。

【書類名】 図面

【図 1】

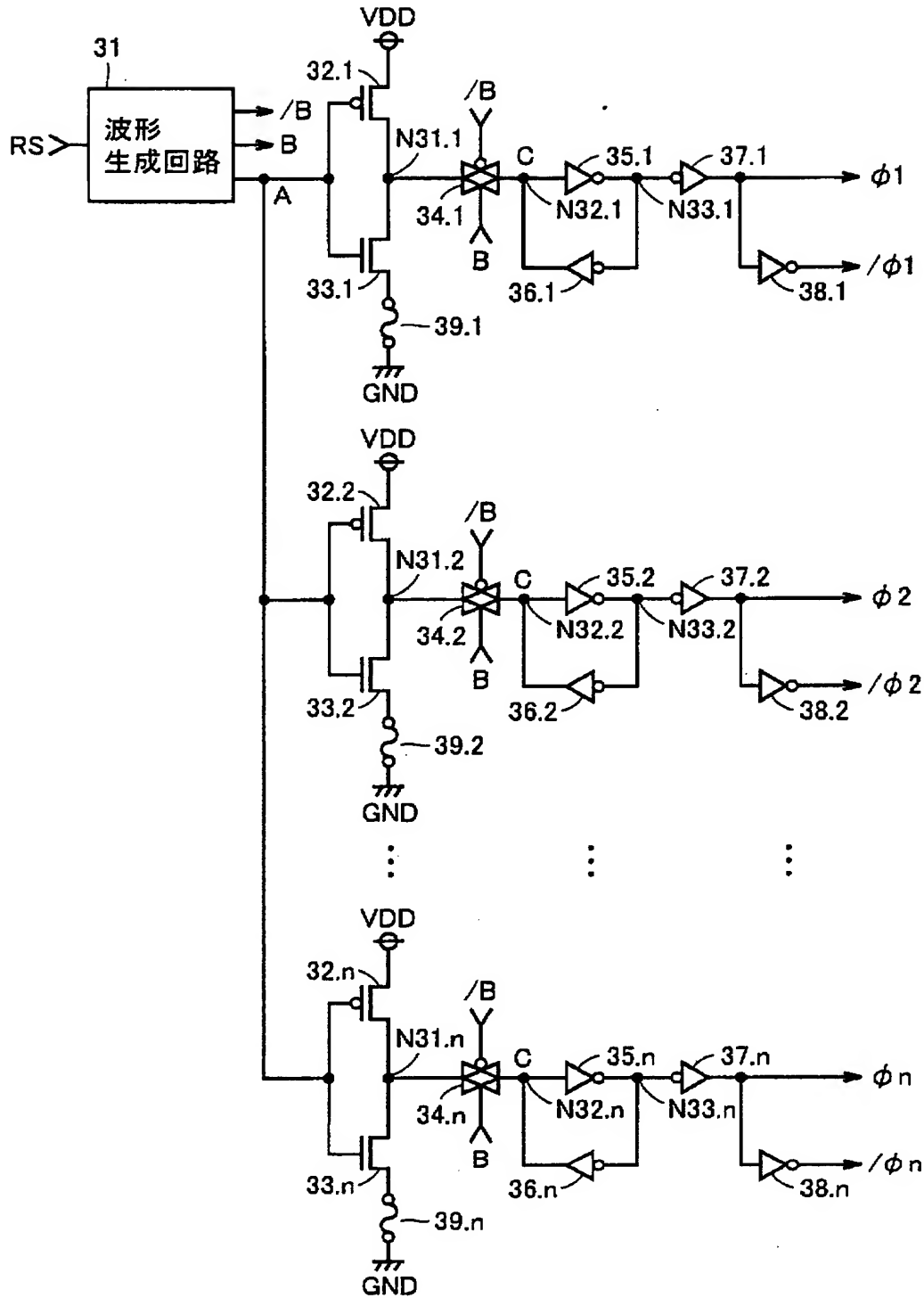


【図 2】

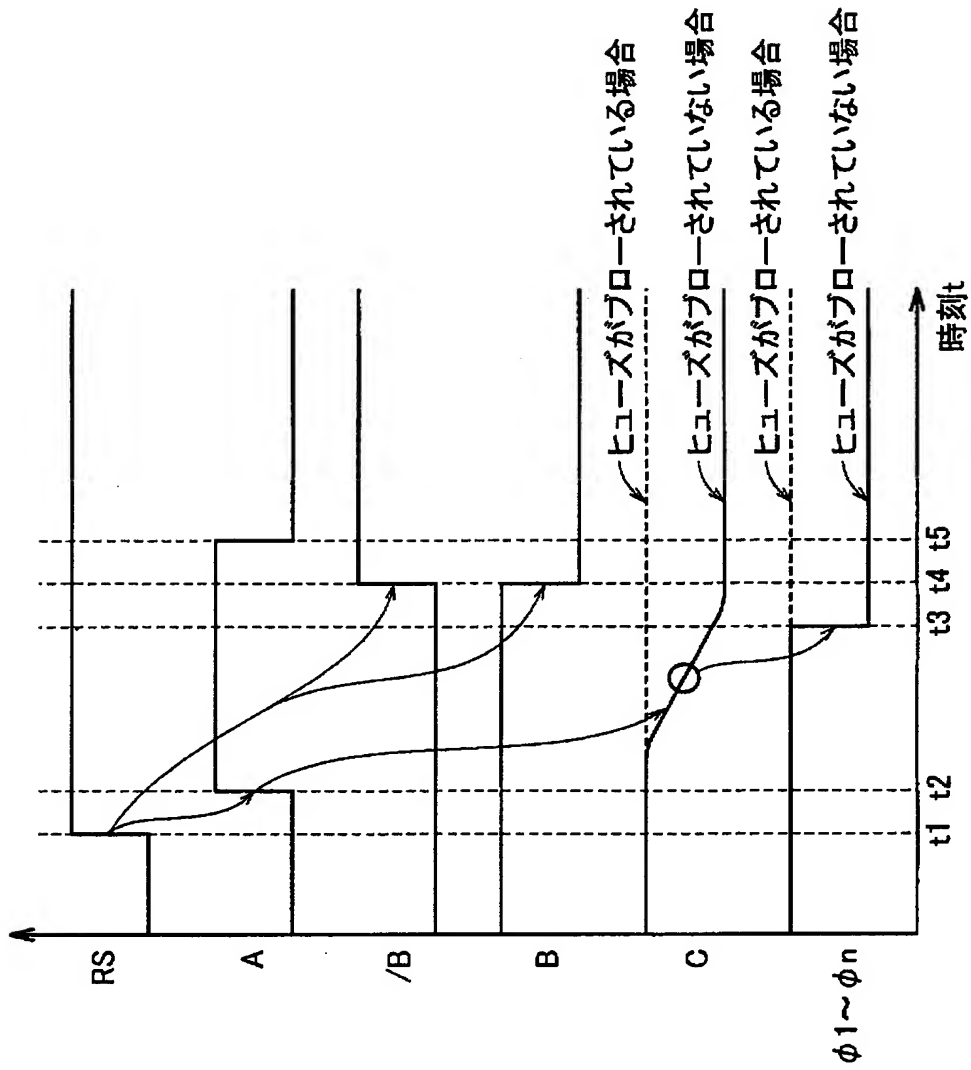


【図 3】

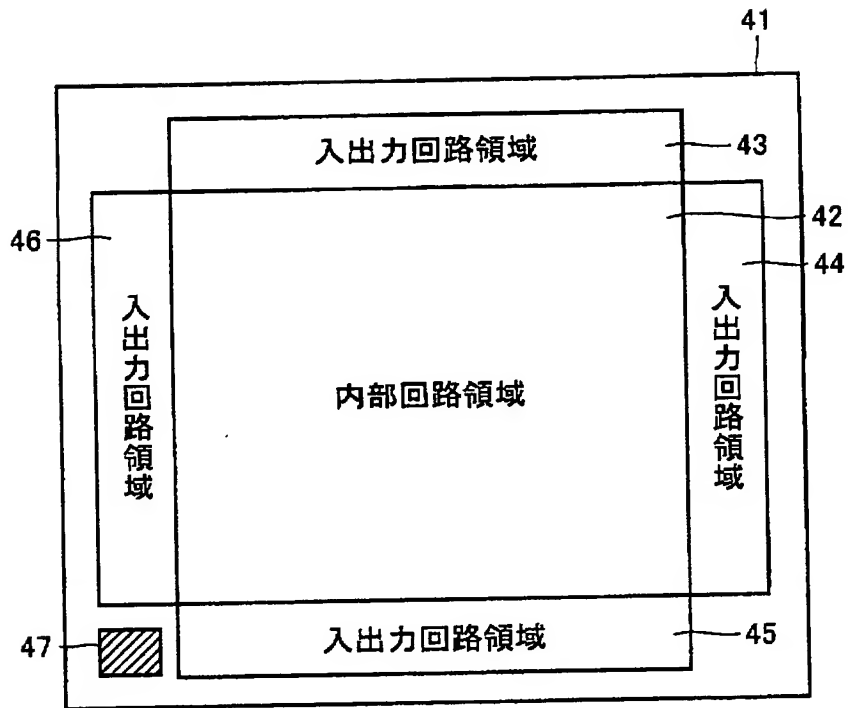
3



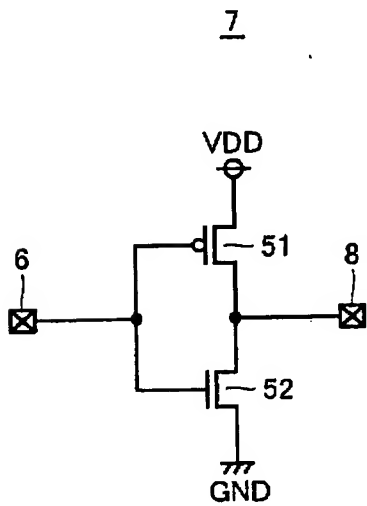
【図 4】



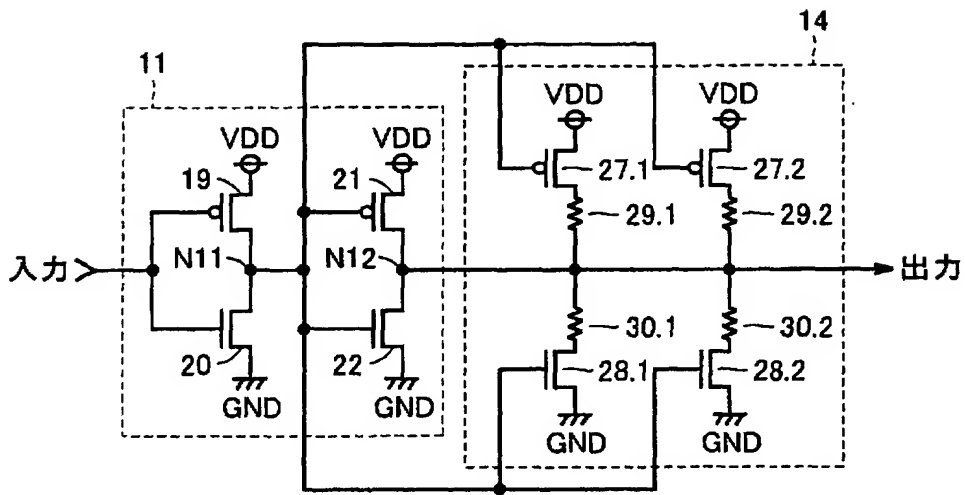
【図 5】



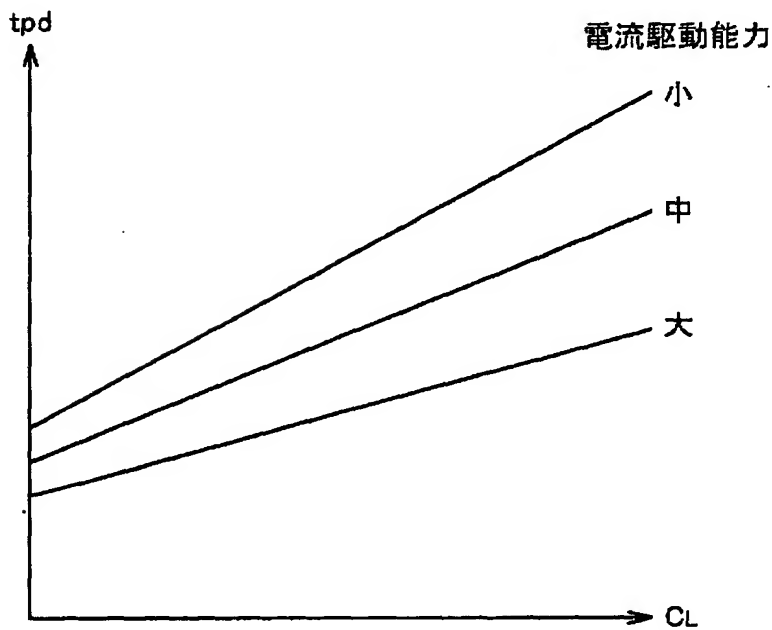
【図 6】



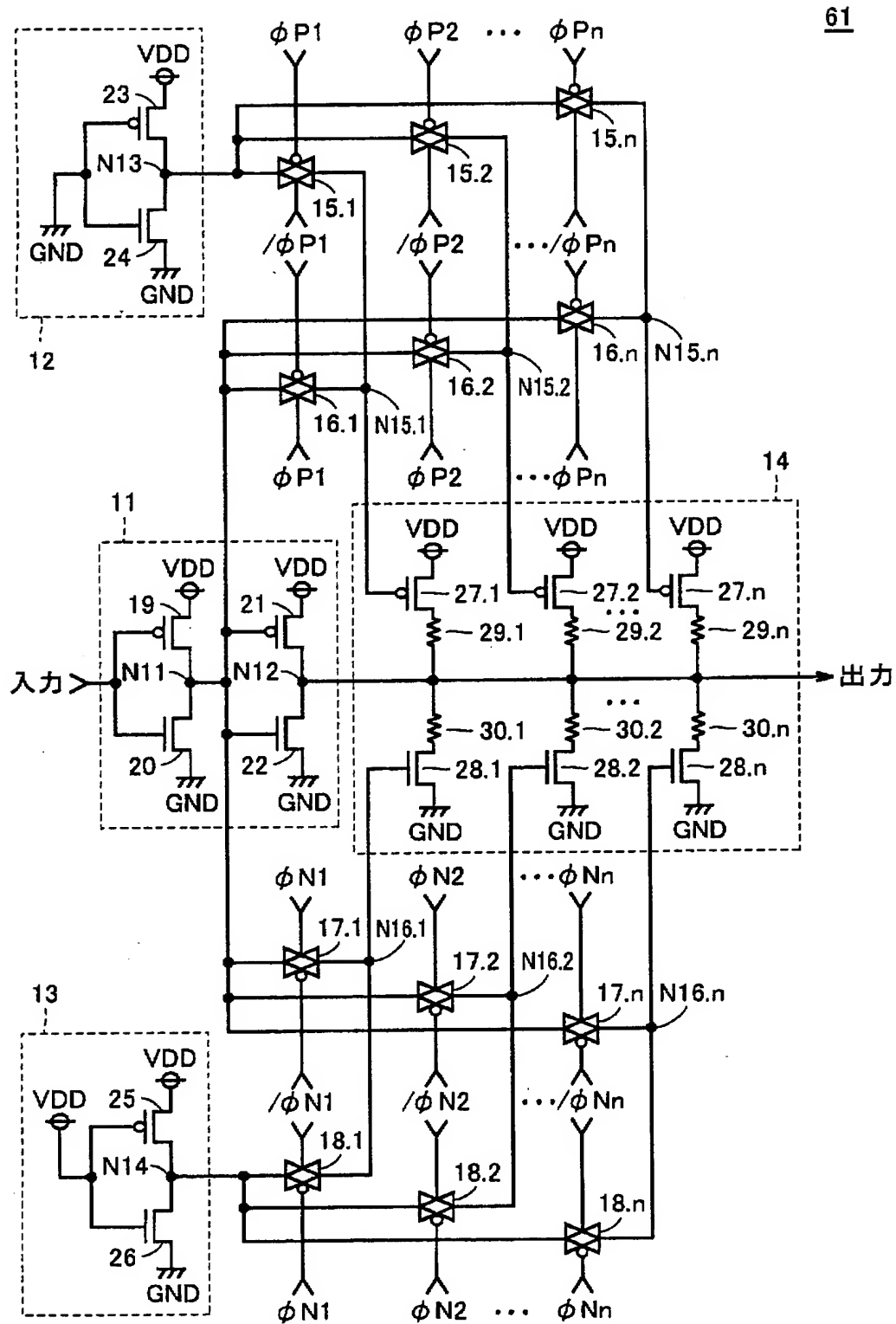
【図 7】



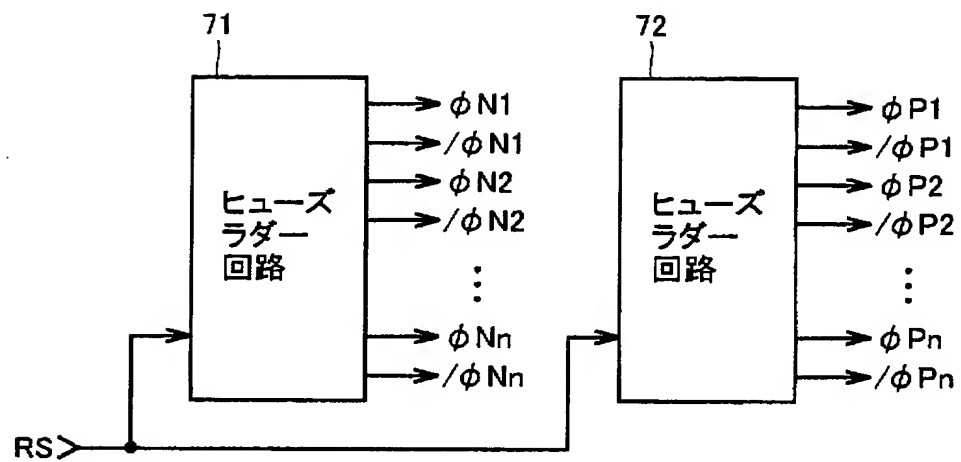
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 所望の回路特性を得ることができ、かつ静電気放電対策が可能な半導体装置の出力回路を提供する。

【解決手段】 この半導体装置の出力回路において、出力バッファ回路4は、電源電位VDDのラインと出力ノードN12との間に直列接続されたPチャネルMOSトランジスタ27.1および抵抗素子29.1を含む。ヒューズ39.1がブローされていない場合はPチャネルMOSトランジスタ27.1を非導通にし、ヒューズ39.1がブローされている場合はPチャネルMOSトランジスタ27.1およびPチャネルMOSトランジスタ21のゲートを接続して、出力バッファ回路4の電流駆動能力を調整する。これにより、所望の回路特性が得られる。また、PチャネルMOSトランジスタ27.1のドレインと出力ノードN12との間に抵抗素子29.1を設けたことによって静電気放電対策が可能となる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ